

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001 - 275954

(P2001 - 275954A)

(43)公開日 平成13年10月9日 (2001.10.9)

(51) Int. Cl ⁷	識別記号	F I	テ-マ-コ-ド* (参考)
A 6 1 B 1/04	372	A 6 1 B 1/04	2 H 0 4 0
G 0 2 B 23/24		G 0 2 B 23/24	B 4 C 0 6 1
	23/26		D 5 C 0 2 4
H 0 4 N 5/335		H 0 4 N 5/335	Z 5 C 0 5 4
	7/18		M

審査請求 未請求 請求項の数 2 O L (全 6 数)

(21)出願番号 特願2000 - 93284(P2000 - 93284)

(22)出願日 平成12年3月30日(2000.3.30)

(71)出願人 000005430

富士写真光機株式会社

埼玉県さいたま市植竹町1丁目324番地

(72)発明者 山中 一浩

埼玉県大宮市植竹町1丁目324番地 富士写真光機株式会社内

(72)発明者 樋口 充

埼玉県大宮市植竹町1丁目324番地 富士写真光機株式会社内

(74)代理人 100098372

弁理士 緒方 保人

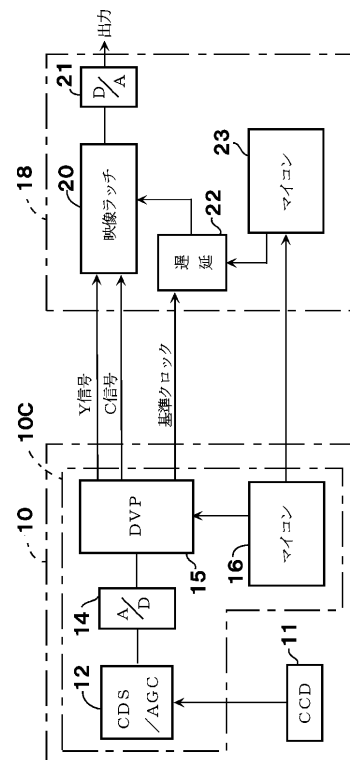
最終頁に続く

(54)【発明の名称】 電子内視鏡装置

(57)【要約】

【課題】 デジタル信号をある程度の長さのケーブルを伝送させ、かつクロック信号が高速化される場合に生じる映像信号のラッチミスをなくす。

【解決手段】 CCD 11 の出力信号をデジタル映像処理する電子スコープ 10 がケーブルを介してプロセッサ装置 18 に接続されており、このプロセッサ装置 18 では、映像ラッチ回路 20 により上記電子スコープ 10 から出力されたデジタル映像信号をラッチする。そして、上記プロセッサ装置 18 内にマイコン 23 により制御される遅延回路 22 を設け、上記電子スコープ 10 から供給された基準クロック信号に所定の遅延量を与え、この遅延クロック信号に基づいたラッチパルスで映像信号を正確にラッチする。上記の遅延回路は、電子スコープ 10 側に設けることもできる。



【特許請求の範囲】

【請求項1】 撮像素子から出力された信号をデジタル信号へ変換して映像処理するデジタル信号処理回路を有する電子内視鏡と、

この電子内視鏡から入力したデジタル映像信号を、基準クロック信号に基づいて形成されたラッチパルスによってラッチする映像ラッチ回路を有するプロセッサ装置と、

上記電子内視鏡からプロセッサ装置へ供給される上記基準クロック信号を所定量だけ遅延する遅延回路とを設けた電子内視鏡装置。

【請求項2】 接続された上記電子内視鏡又はプロセッサ装置の種類を判別し、この電子内視鏡のデジタル信号処理回路と上記映像ラッチ回路との間の伝送路の長さ、使用される基準クロック信号の速度により、上記遅延回路の遅延量を設定する制御回路を設けたことを特徴とする上記請求項1記載の電子内視鏡装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は電子内視鏡装置、特に電子内視鏡とプロセッサ装置との間でデジタル映像信号を伝送する装置において、この映像信号をラッチする際のタイミングのずれを解消するための構成に関する。

【0002】

【従来の技術】図5には、電子内視鏡装置の全体構成が示されており、電子スコープ（電子内視鏡）1は先端部に固体撮像素子であるCCD（Charge Coupled Device）2を搭載し、ケーブル3等によって他の装置に接続される。即ち、電子スコープ1は、例えば上記ケーブル3及びコネクタ部4により光源装置5に接続され、このコネクタ部4から分岐するケーブル6によってプロセッサ装置7に接続される。

【0003】そして、近年の電子内視鏡装置では、上記CCD2から出力された信号の映像処理がデジタル信号で行われており、このために、例えば電子スコープ1側の上記コネクタ部4にDVP（デジタルビデオプロセッサ）8等が設けられる。即ち、図示していないが、CCD2の出力はアナログ信号領域のCDS（相関二重サンプリング）回路、AGC（自動利得制御）回路等による、クランプを含むサンプリングや増幅等の処理を経て、デジタル信号領域のDVP8に供給され、このDVP8では、例えばY（輝度）信号、C（色差）信号等に交換されてガンマ補正等のその他の処理が施される。

【0004】このDVP8の出力は、上記ケーブル6を介してプロセッサ装置7へ供給され、このプロセッサ装置7でビデオ信号がラッチされ、例えば画像メモリに一旦記憶された後、更に各種の処理及び出力処理が施される。このプロセッサ装置7から出力されたビデオ信号は、モニタへ出力されることにより、このモニタ画面に被観察体が表示される。

【0005】

【発明が解決しようとする課題】しかしながら、上記従来の電子内視鏡装置では、DVP8から出力されたデジタルビデオ信号をある程度の長さのケーブル6を介してプロセッサ装置7へ供給すること、そして近年では画像処理のための基準クロックやタイミングパルスが高速化していること、或いはこの基準クロック周波数とビデオ信号の周波数が異なること等から、プロセッサ装置7でのビデオ信号のラッチのタイミングが合わず、ラッチミスが起こるといふ不具合が生じている。

【0006】図6には、上記プロセッサ装置7における信号処理が示されており、例えば電子スコープ1から図6(A)、(B)に示されるC（色差）信号とY（輝度）信号が供給される。ここで、Y信号について考えると、本来なら図6(C)のラッチパルス1によってラッチされる必要があるが、基準クロックの高速化等により、図6(D)のように位相がずれたラッチパルスが形成されることがある。このラッチパルスによれば、Y信号の中心部分（実質部分）を抽出することができず、正確な映像処理が困難となる。

【0007】一方、電子内視鏡装置のアナログ信号処理領域において、信号遅延に対応する従来例として、特許第2821196号に示されるものがある。この装置では、長さの異なる電子スコープに対応して、遅延手段により基準信号を遅延させ、この遅延された基準信号によりビデオ信号を処理し、これにより最適なタイミングでビデオ信号をクランプするようになっている。しかし、このような電子スコープの長さに対応した信号遅延処理をした場合でも、上記不具合は別の問題として生じる。

【0008】本発明は上記問題点を鑑みてなされたものであり、その目的は、デジタル映像信号をある程度の長さのケーブルを伝送させ、かつクロック信号が高速化される場合に生じる映像信号のラッチミスをなくすることができる電子内視鏡装置を提供することにある。

【0009】

【課題を解決するための手段】上記目的を達成するために、請求項1に係る電子内視鏡装置は、撮像素子から出力された信号をデジタル信号へ変換して映像処理するデジタル信号処理回路を有する電子内視鏡と、この電子内視鏡から入力したデジタル映像信号を、基準クロック信号に基づいて形成されたラッチパルスによってラッチする映像ラッチ回路を有するプロセッサ装置と、上記電子内視鏡からプロセッサ装置へ供給される上記基準クロック信号を所定量だけ遅延する遅延回路とを設けたことを特徴とする。なお、上記基準クロック信号は、基準発振器で発振する周波数の整数倍の周波数信号等で、画像形成に必要な各種のパルスを形成するために複数種類が存在する。請求項2に係る発明は、接続された上記電子内視鏡又はプロセッサ装置の種類を判別し、この電子内視鏡のデジタル信号処理回路と上記映像ラッチ回路との間

の伝送路の長さ、使用される基準クロック信号の速度により、上記遅延回路の遅延量を設定する制御回路を設けたことを特徴とする。

【0010】上記の構成によれば、例えばプロセッサ装置のマイコンは接続された電子内視鏡からの情報により所定の遅延量を遅延回路に対し設定することになり、この遅延回路では、電子内視鏡から入力した基準クロック信号を上記遅延量だけ遅らせる。そして、このようにして位相調整された基準クロック信号によりラッチパルスが形成され、このラッチパルスによってビデオ信号がラッチされるので、例えばY信号、C信号のラッチミスが解消される。

【0011】

【発明の実施の形態】図1及び図2には、実施形態の第1例に係る電子内視鏡装置の構成が示されており、図1の電子内視鏡（電子スコープ）10には、先端部にCCD12が設けられ、このCCD12から読み出された信号はCDS（相関二重サンプリング）/AGC（自動利得制御）回路12に供給される。このCDS/AGC回路12では、アナログビデオ信号が相関二重サンプリングされると共に、所定レベルへの増幅が行われる。

【0012】上記CDS/AGC回路12には、アナログ信号をデジタル信号へ変換するA/D変換器14、DVP（デジタルビデオプロセッサ）15が接続され、またこのDVP15やその他の回路を制御するマイコン16が設けられる。上記DVP15は、デジタル変換されたビデオ信号につき、デジタル映像処理を施しており、例えば図6（A）、（B）に示したR（赤）- Y_0 、B（青）- Y_0 、 $R - Y_4$ 、 $B - Y_4$...からなるC（色差）信号、 Y_0 、 Y_1 、 Y_2 ...からなるY（輝度）信号等に変換されると共に、ガンマ補正等の映像処理が施される。なお、上記CDS/AGC回路12からマイコン16までの回路は、電子スコープ10のケーブル端のコネクタ部10C（図5の4）内に配置される。

【0013】このような電子スコープ10は、ケーブル及びコネクタ（図5の3、4）によりプロセッサ装置18に接続されており、このプロセッサ装置18内に、ビデオ信号をラッチする映像ラッチ回路20、デジタル信号をアナログ信号へ変換するD/A変換器21が設けられる。また、電子スコープ10から供給された基準クロック信号を所定時間だけ遅延させる遅延回路22、この遅延回路22の遅延量を制御するマイコン23が設けられる。

【0014】即ち、このマイコン23は例えば電源投入時に接続されている電子スコープ10のマイコン16との間で情報通信を行い、上記遅延回路22の遅延量を設定する。上記電子スコープ10には、例えばコネクタ部10Cからプロセッサ装置18までの接続ケーブル（図5の6）の長さ、使用される基準クロック信号の速度等を考慮した遅延量の情報が設定されており、この遅延量

情報を受信することにより所定の遅延量が設定される。もちろん、電子スコープ10からの情報を受信せずに、上記マイコン23により所定の遅延量を設定するようにしてもよい。

【0015】図2には、上記遅延回路22（28）の内部構成が示されており、この遅延回路22は、複数のゲート遅延素子25a、25b、25c、25d、25e...とマルチプレクサ26を備えている。即ち、上記ゲート遅延素子25a～25eは、トランジスタ素子内を通過する時間、例えば数ナノ秒だけ信号を遅らせる役目をし、マルチプレクサ25の入力ポート1～5に異なる遅延量の基準クロック信号を供給する。従って、マルチプレクサ25にて入力ポート1、2、3、4...を選択することにより、任意の遅延量を設定することができる。なお、上記基準クロック信号は基準発振器で発振する周波数の整数倍の周波数信号等であり、図示していないタイミングジェネレータ等から供給される。

【0016】実施形態例は以上の構成からなり、図1のCCD11の出力信号は、CDS/AGC回路12へ供給され、ここでアナログビデオ信号は相関二重サンプリングと増幅が行われる。その後、ビデオ信号はA/D変換器14にてデジタル信号へ変換され、DVP15でデジタル映像処理が施される。即ち、ビデオ信号として例えばY信号とC信号が形成されると共に、ガンマ補正等の各種の処理が行われる。なお、上記Y、C信号の代わりに、R（赤）、G（緑）、B（青）の信号を形成し、これらの信号について各種処理を施すことができる。

【0017】上記のDVP15から出力されるY信号、C信号は、プロセッサ装置18の映像ラッチ回路20へ供給されるが、同時にDVP15から出力される基準クロック信号は遅延回路20にて所定遅延量が与えられる。即ち、マイコン23により遅延回路22の遅延量設定制御が行われ、マルチプレクサ26の入力ポート1、2、3、4...のいずれかを選択することにより、所定遅延量の基準クロック信号を出力することになる。そして、この基準クロック信号は映像ラッチ回路20へ供給され、この遅延クロック信号から形成されたラッチパルスにてC信号、Y信号がラッチされる。

【0018】図4には、上記Y信号とラッチパルスが示されており、当該第1例によれば、所定の遅延量が与えられた図4（B）のラッチパルスにより、図4（A）のY信号中央の実質部を良好にラッチできることになる。

【0019】図3には、実施形態の第2例の構成が示されており、この第2例は遅延回路を電子スコープ10側に配置したものである。図3に示されるように、電子スコープ10には、CCD11からDVP15が設けられると共に、このDVP15の後段に図2の構成と同一の遅延回路28が設けられ、この遅延回路28の遅延量はマイコン29によって制御される。一方、プロセッサ装置18では、映像ラッチ回路20、D/A変換器21及

びマイコン30が配置される。

【0020】このような第2例によれば、マイコン29により設定・制御された遅延回路28の遅延量がDVP15から出力される基準クロック信号に与えられ、この遅延クロック信号がプロセッサ装置18へ供給されるので、図4で説明したように、ラッチミスなく、信号の実質部分を良好に取り出すことができる。

【0021】また、電源投入時にプロセッサ装置18のマイコン30との間の情報通信により、マイコン29が必要な遅延量を判断し、遅延回路28での遅延量を設定することもできる。例えば、プロセッサ装置18の新旧(タイプ)等を判定し、この新旧に合わせて異なる遅延量を設定する。例えば、新しいタイプの電子内視鏡装置では、不要な高周波を除去するために、デジタルビデオ信号のC信号を電子スコープ10側で平滑化してプロセッサ装置18に伝送することが行われるが、この場合には、C信号のラッチタイミングが旧タイプの場合とは相違することになる。従って、この場合は、プロセッサ装置18が新タイプであることを判定して、これに適合した遅延量を設定すればよいことになる。

【0022】

【発明の効果】以上説明したように、本発明によれば、デジタル映像信号を電子内視鏡から所定長さのケーブルを介してプロセッサ装置へ伝送し、この映像信号をラッチ回路でラッチする装置で、電子内視鏡から供給される*

*基準クロック信号を所定量だけ遅延する遅延回路を設けたので、デジタル信号をある程度の長さのケーブルを伝送させ、かつクロック信号が高速化される場合に生じる映像信号のラッチミスをなくし、映像信号を確実に抽出することが可能となる。

【図面の簡単な説明】

【図1】本発明の実施形態の第1例に係る電子内視鏡装置の構成を示すブロック図である。

【図2】実施形態例の遅延回路内の構成を示す回路図である。

【図3】実施形態の第2例に係る電子内視鏡装置の構成を示すブロック図である。

【図4】実施形態例の動作を示す信号波形図である。

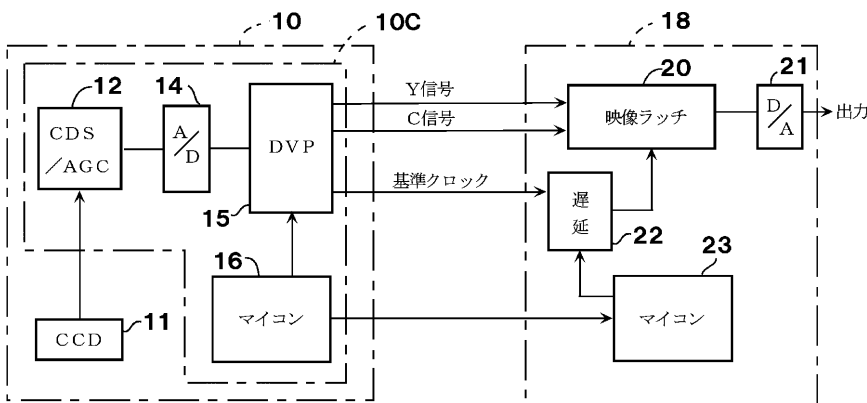
【図5】電子内視鏡装置における各構成部の接続構成を示す図である。

【図6】従来の装置で形成される信号及びその動作を示す波形図である。

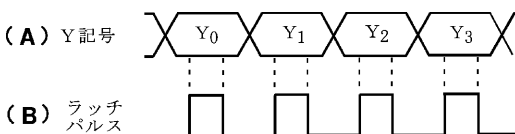
【符号の説明】

- 10 ... 電子スコープ、 11 ... CCD、 15 ... DVP (デジタルビデオプロセッサ)、 16, 23, 29, 30 ... マイコン、 18 ... プロセッサ装置、 20 ... 映像ラッチ回路、 22, 28 ... 遅延回路、 25a ~ 25e ... ゲート遅延素子、 26 ... マルチプレクサ。

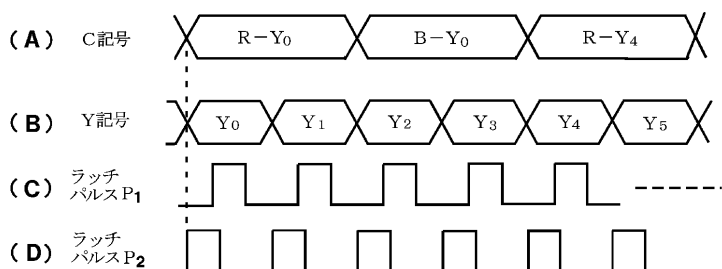
【図1】



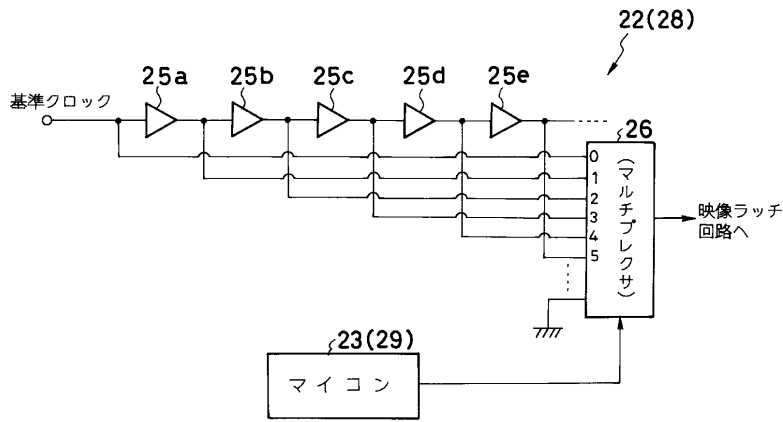
【図4】



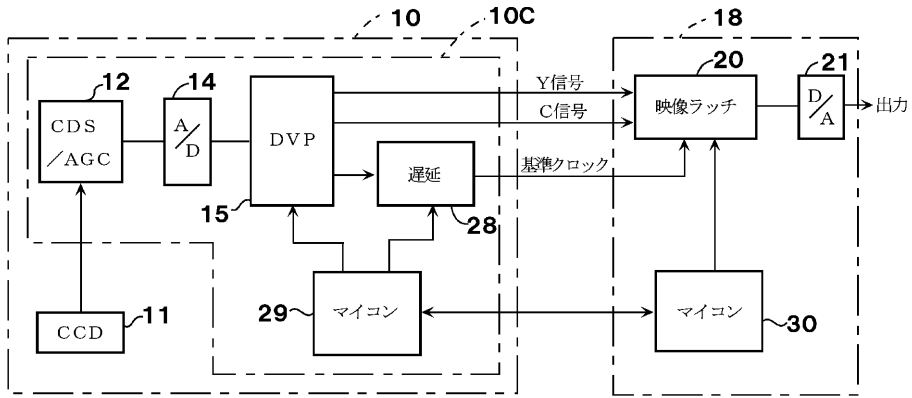
【図6】



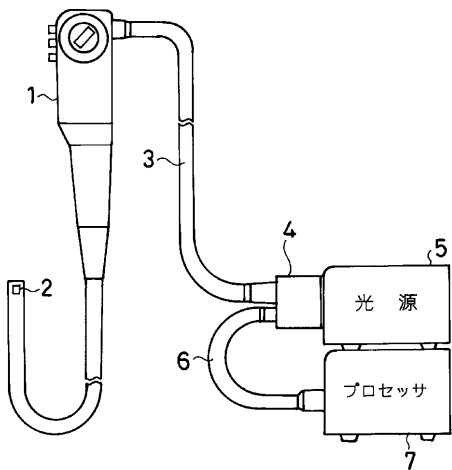
【図2】



【図3】



【図5】



フロントページの続き

Fターム(参考) 2H040 AA00 BA00 GA02 GA05 GA06
GA10 GA11
4C061 AA00 BB00 CC06 DD03 GG01
JJ11 JJ17 LL02 NN01 RR05
RR22 RR26 SS11
5C024 BX02 CX00 DX01 GY01 HX03
HX15 HX23
5C054 AA01 CC07 DA08 EA05 EB02
HA12

专利名称(译)	电子内视镜装置		
公开(公告)号	JP2001275954A	公开(公告)日	2001-10-09
申请号	JP2000093284	申请日	2000-03-30
[标]申请(专利权)人(译)	富士写真光机株式会社		
申请(专利权)人(译)	富士摄影光学有限公司		
[标]发明人	山中一浩 樋口充		
发明人	山中一浩 樋口充		
IPC分类号	G02B23/24 A61B1/04 G02B23/26 H04N5/335 H04N5/372 H04N5/378 H04N7/18		
FI分类号	A61B1/04.372 G02B23/24.B G02B23/26.D H04N5/335.Z H04N7/18.M A61B1/045.610 A61B1/05 H04N5/335.720 H04N5/335.780 H04N5/372 H04N5/378		
F-TERM分类号	2H040/AA00 2H040/BA00 2H040/GA02 2H040/GA05 2H040/GA06 2H040/GA10 2H040/GA11 4C061/AA00 4C061/BB00 4C061/CC06 4C061/DD03 4C061/GG01 4C061/JJ11 4C061/JJ17 4C061/LL02 4C061/NN01 4C061/RR05 4C061/RR22 4C061/RR26 4C061/SS11 5C024/BX02 5C024/CX00 5C024/DX01 5C024/GY01 5C024/HX03 5C024/HX15 5C024/HX23 5C054/AA01 5C054/CC07 5C054/DA08 5C054/EA05 5C054/EB02 5C054/HA12 4C161/AA00 4C161/BB00 4C161/CC06 4C161/DD03 4C161/GG01 4C161/JJ11 4C161/JJ17 4C161/LL02 4C161/NN01 4C161/RR05 4C161/RR22 4C161/RR26 4C161/SS11		
外部链接	Espacenet		

摘要(译)

解决的问题：消除视频信号的锁存错误，该错误发生在通过一定长度的电缆传输数字信号并加快时钟信号速度时。用于CCD (11) 的输出信号的数字视频处理的电子示波器 (10) 通过电缆连接到处理设备 (18)，并且在处理设备 (18) 中，从视频示波器 (10) 输出的数字信号由视频锁存电路 (20) 输出。锁存视频信号。然后，在处理设备18中设置由微计算机23控制的延迟电路22，将预定延迟量赋予从电子示波器10提供的参考时钟信号，并且基于该延迟时钟信号由锁存脉冲生成图像。准确锁存信号。上述的延迟电路也可以设置在电子内窥镜10侧。

